

31221(2)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-198794

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.⁵

H01L 29/784

識別記号

庁内整理番号

7377-4M

FI

H01L 29/78

技術表示箇所

301 G

審査請求 未請求 請求項の数4(全7頁)

(21)出願番号 特願平4-9806

(22)出願日 平成4年(1992)1月23日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 大河 正明

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 小川 勝男

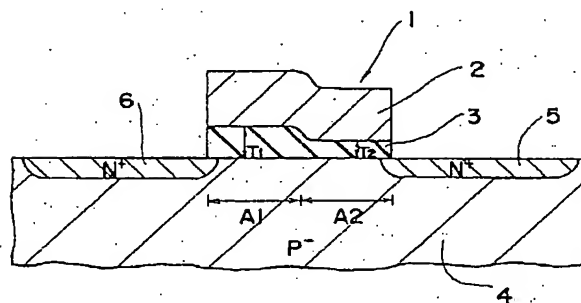
(54)【発明の名称】 M I S型電界効果トランジスタ

(57)【要約】

【目的】 ホットキャリアの発生を抑えて、デバイスの性能劣化を抑制し、信頼性を高くしたM I S電界効果トランジスタ並びにその製造方法を提供する。

【構成】 M I S電界効果トランジスタ1は、ゲート2下でゲート絶縁膜3の膜厚がソース側A1で厚く(T1)、ドレイン側A2で薄く(T2)なるよう形成されるので、膜厚の厚い部分A1と薄い部分A2とでしきい値電圧V_{th}が異なる。このため、しきい値電圧V_{th}が異なる複数のM I S電界効果トランジスタが形成されたようにふるまい、ピンチオフが発生しやすい領域も複数箇所に分散され、従来ドレイン端一箇所に集中して発生していたホットキャリアの発生が分散されると共に軽減されて、初期特性の劣化が抑制される。又、ゲート絶縁膜のソースの膜厚を従来通りの膜厚に維持できるので、リーク電流の発生やトランジスタの寄生容量の増大が生じることも無い。

【図 1】



【特許請求の範囲】

【請求項 1】 ゲート絶縁膜の膜厚が、ソース・ドレイン間で変化するように形成されていることを特徴とする M I S 型電界効果トランジスタ。

【請求項 2】 ゲート絶縁膜の膜厚が少なくともドレイン端で薄くなるように形成されていることを特徴とする請求項 1 記載の M I S 型電界効果トランジスタ。

【請求項 3】 ゲート絶縁膜の膜厚が少なくともソース端で厚くなるように形成されていることを特徴とする請求項 1 記載の M I S 型電界効果トランジスタ。

【請求項 4】 ゲート電極に導電性サイドウォールを形成して、ゲート絶縁膜の膜厚が、ソース・ドレイン間で変化するようにしたことを特徴とする請求項 1 記載の M I S 型電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、M I S 型電界効果トランジスタ (M I S F E T) 素子に適用して有効な技術に関し、特にホットキャリアによる性能劣化の著しい、ゲート長の短い M I S 型電界効果トランジスタの信頼性向上と寿命延長を図る技術に関する。

【0002】

【従来の技術】 超高速デジタル・デバイス・シリーズ「超高速 MOS デバイス」(培風館) 第 259 頁、図 6、34 のホットキャリア抑制回路に示されるように、ダミー素子の挿入による電圧の抵抗分割により、単体の M I S 電界効果トランジスタにかかる電圧を低減してホットキャリアを抑制している。しかし、この回路構成ではドレイン電流の最大値も制限されてしまい、高速性が犠牲になる。

【0003】

【発明が解決しようとする課題】 サブミクロン化された M I S 電界効果トランジスタ素子では、ゲート長 (チャネル長) が短いために、ドレイン拡散層近傍で電界強度が大きくなる領域が生じる。このように電界強度の大きい領域を通過したキャリアは高いエネルギーを得て、所謂ホットキャリアを発生させる。そのため M I S 電界効果トランジスタの相互コンダクタンスの低下やしきい値電圧の変動など初期特性を劣化させて信頼性の低下を招く (例えばオーム社発行の L S I ハンドブック 6.6 頁～6.7 頁に記載)。

【0004】 本発明はかかる事情に鑑みてなされたもので、ホットキャリアによる劣化を抑制して信頼性を高めた M I S 電界効果トランジスタ素子を提供することを目的とする。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述及び添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のと

おりである。すなわち、本発明の M I S 電界効果トランジスタは、ゲート絶縁膜の膜厚がゲート・ドレイン間で変化するように形成されているので、反転層のでき易さ

【0006】

【作用】 M I S 電界効果トランジスタにおいて、ゲート絶縁膜の膜厚がゲート下で変化するように形成されるので、見かけ上、しきい値電圧 V_{th} の異なる複数のトランジスタが形成されたようにふるまう。従って、膜厚の厚い部分でのしきい値電圧 V_{th1} が高くなり、ゲート電圧印加時にピンチオフが発生しやすい領域も複数箇所に分割され、従来ドレイン端の一箇所に集中して発生していたホットキャリアの発生が低減される。

【0007】

【実施例】 (第 1 実施例) 以下、本発明の第 1 実施例を図 1 及び図 2 を参照して詳細に説明する。図 1 は、本発明に係る M I S 電界効果トランジスタ素子 1 の構造を示す断面図。図 2 は、この M I S 電界効果トランジスタ素子 1 のソース・ドレイン間に所定の電圧が印加されたときの M I S F E T の動作状態を示す断面図である。図 1 に示すように、本発明の M I S 電界効果トランジスタ素子 1 はゲート電極 2 下のゲート絶縁膜 3 が、ソース領域 6 側の厚い (T1) 領域 A1 とドレイン領域 5 側の薄い (T2) 領域 A2 の 2 つの領域に分けられて形成されている。このように、ソース領域 6 側の膜厚 T1 をドレイン領域 5 側の膜厚 T2 に対して厚くすることによって、ゲート電界強度に差ができ、ドレイン側では反転層 (チャネル) 7 ができやすく (図 2)、ソース側ではできにくい特性を持つようになる。

【0008】 図 2 に示すように、ソース・ドレイン間に所定の電圧を印加し、ゲート印加電圧を上昇させると、まずゲート絶縁膜 3 の薄い領域下 (A2) でのゲート電界強度が増し、A2 領域に反転層 (チャネル) が形成される (図 2 の 7a)。更にゲート印加電圧が上昇すると、ゲート絶縁膜 3 の厚い領域下 (A1) にも反転層 (チャネル) が形成される (図 2 の 7b)。このため、通常構造の M I S 電界効果トランジスタ素子ではピンチオフがドレイン付近でのみ発生するに対し、ピンチオフが発生しやすい領域 8 が分割される。このようにピンチオフが発生し得る領域がゲート絶縁膜 3 下の複数箇所 (2 箇所) に分散されると、ドレイン近傍での電圧勾配が軽減されてホットキャリアの発生が抑制され、M I S 電界効果トランジスタ素子の初期特性からの劣化、耐久性の低下が抑えられ、信頼性も高まる。

【0009】 以上詳述したように、この第 1 の実施例に係る M I S 電界効果トランジスタ 1 は、ゲート下でゲート絶縁膜 3 の膜厚 T が変化するように形成されるので (T1、T2)、膜厚の薄い部分 A2 と厚い部分 A1 とで電圧印加時の垂直電界の強さが異なり、見かけ上、しきい値電圧 V_{th} が異なる (V_{th1} 、 V_{th2}) 複数のトラ

ンジスタが形成されたように振る舞う。従って、ソース6側の膜厚を厚くすることにより、この厚い膜厚部分A1でのしきい値電圧 V_{th1} が高くなり、この部分にチャネルが形成されにくくなる。従って、ピンチオフが発生しやすい領域も複数箇所に分散され、このため従来1箇所に集中して発生していたホットキャリア発生が分散されて、初期特性の劣化が防止される。また、ゲート絶縁膜3はソース6側で膜厚を従来通りの膜厚 T_1 に維持できるので、リーク電流の増加やトランジスタの寄生容量の増大が生じない。

【0010】図3から図5は、図1に示したMIS電界効果トランジスタの製造工程例を示すための半導体素子縦断面図である。上記階段状ゲート絶縁膜3を形成するに当たっては、

①半導体基板4の上に薄い部分のゲート絶縁膜9をシリコン半導体基板の酸化により形成する。この上に、窒化シリコン(Si_3N_4)等のマスク材料10を堆積しパターンニングを行い、図3に示す半導体素子断面構造を得る。

②再びシリコン基板の酸化を行うと、マスク材料に覆われていない部分の酸化膜が厚くなり、段差のあるゲート絶縁膜が形成された図4に示す半導体素子構造を得る。

③その後、マスク材料10をエッチング等で除去し、多結晶シリコン等のゲート材料12を堆積する。ゲート材料のパターンニングを行ってゲート電極を形成し、ソース・ドレイン部分の不純物を導入して、図5に示すMIS電界効果トランジスタ素子構造を得る。

【0011】また、図16に示すように、半導体基板4上に薄いゲート絶縁膜9を形成後、絶縁材料11を堆積してパターンニングを行うことによっても、階段状のゲート絶縁膜を形成することができる。

【0012】図6及び図7は夫々、図1に示した第1実施例に係るMIS電界効果トランジスタの第1及び第2の変形例を示す。このうち図6は、図1の実施例において2段の階段状に形成されたゲート絶縁膜3を、さらに細かい段差を有する階段状(図示例では4段階)のゲート絶縁膜3aに形成し、この上にゲート電極を形成した点(該ゲート電極2aは少なくともその下面が階段状となる)が上記第1の実施例と異なる。この変形例のようにゲート絶縁膜3aの膜厚を多段階に変化させることにより、第1実施例より更に、トランジスタの初期特性の劣化が抑えられる。尚、ゲート絶縁膜の膜厚を多段にするためには図3及び図4に示す工程を、繰返し行えばよい。

【0013】図7は、第1実施例の第2の変形例に係る半導体装置の断面図である。この第2の変形例の半導体装置にあつてはゲート電極2b下のゲート酸化膜3bの膜厚がソース領域6側からドレイン領域5側に向かって徐々に薄くなるように構成されている。このようにゲート絶縁膜3bの膜厚を連続的に変化させることによ

て、第1実施例(図1)又は第1の変形例(図6)において、ホットキャリア発生に集中する領域が実質的に無くなって、当該MIS電界効果トランジスタの初期特性の劣化防止が図られる。尚、この様なゲート絶縁膜を形成するには、シリコン基板の熱酸化時のパースピークや低融点材料のリフローを利用すればよい。

【0014】(第2実施例)図8は、本発明の第2の実施例のMIS電界効果トランジスタ13の断面図である。

この第2の実施例に示すMIS電界効果トランジスタ13は、第1実施例を実現するために、セルフアライメントのサイドウォール形成技術を用いたものである。即ち、このMIS電界効果トランジスタ13では、ゲート電極14を本来のゲート電極本体14aと、この両側面に設けられる導電性のゲートサイドウォール部14bとで構成し、前記サイドウォール14bの下端面がゲート電極本体14aの下端面より下側に突出するように形成して、段差を有するゲート絶縁膜15を得るようにしている。MIS電界効果トランジスタ13をこの様な構成とすることで第1実施例と同様の効果を期待できる。このようなMIS電界効果トランジスタは、ゲート電極下でゲート絶縁膜厚を変化させる工程が不要なので、ゲート長が短いMIS電界効果トランジスタへの適用が容易であり、集積回路の高集積化、高速化により有効である。

【0015】図9と図10は、上記第2実施例に示したMIS電界効果トランジスタ13の製造工程のうち、本来のゲート電極をなす本体14aの側面に導電性のサイドウォール14bを形成して、新たなゲート電極14を形成するまでの工程を示す断面図である。上記ゲート電極14は以下の手順で形成される。

①まず、半導体基板4に厚め(本体14aの下側の厚い絶縁膜の膜厚に相当)のゲート絶縁膜16を形成しておき、この上にゲート材料を堆積させた後パターンニングを施してゲート電極14aを形成する。さらにこのゲート電極14aをマスクとして、ゲート絶縁膜16のエッチングを行い、図9に示す半導体素子構造を得る。

②図9に示す構造の半導体装置の全面に導電性の層(例えばポリシリコン層)を堆積させ、これに上方より異方性エッチングを行って、導電性のサイドウォール(14b)構造を得る。このように構成されたサイドウォール14bは導電性であるためゲート電極14aと協働して、新たなゲート電極14として機能する。これにソース領域・ドレイン領域への不純物の導入を行って図10に示すMIS電界効果トランジスタ素子構造を得る。

【0016】(第3実施例)図11は、ゲート長を短くして高集積化を図りつつ、第1実施例のゲート絶縁膜3のソース領域6側の特徴(形状)、即ち、ゲート絶縁膜を、従来の物に比して厚くした第3の実施例のMIS電界効果トランジスタ17の断面を示す。このMIS電界効果トランジスタはソース領域6側でゲート絶縁膜18

の膜厚が厚いためリーク電流の発生、並びに、ゲート電極の寄生容量の低減が図られる。

【0017】かかる構成のMIS電界効果トランジスタ17は以下のような手順で形成される。①まず、半導体基板4に薄い絶縁膜（例えばシリコンの熱酸化膜）19を形成しておき、この上に高融点金属やシリサイド等のゲート電極材料を堆積する。ゲート材料のパターンニングを行いゲート電極20aを形成する。次に、シリコン基板の熱酸化または絶縁物の堆積を行うことにより、ゲート電極20a以外の部分の絶縁膜を厚くして（ゲート電極本体20aの下側の膜厚のみ薄くしておく）図12に示す構造を得る。

②次に図10と同様に導電性サイドウォール20bを形成し、ソース・ドレイン領域の不純物導入を行い、図13に示すMIS電界効果トランジスタ17を形成する。このように形成されたMIS電界効果トランジスタ17は、ゲート絶縁膜18の形状、即ち、ゲート電極20の下端面が階段状になる。特に、ゲート絶縁膜18の厚さがソース領域6側で厚くなっているため、トランジスタの寄生容量を小さく抑えることができ、更にトンネル効果によるリーク電流の発生も防ぐことができるようになる。また、図12の構造を得るまでの段階で予めインプラ等により、ゲート電極のドレイン側のみに不純物の導入を行うことにより、トランジスタ電流の低下等が生じることもない。

【0018】図14は図8に示す第2実施例の変形例、図15は図11に示す第3実施例の変形例である。各作成工程のサイドウォール形成後、ゲート電極の中心部をパターンニングして、不純物導入を行い、2つのMIS電界効果トランジスタとしている。図15では中心がドレイン、図14ではソースである。また、ゲート電極中心部をパターンニングする代わりに中心部に仮の材料を形成しておき、ゲート電極本体及びそのサイドウォールを、仮の材料への二重のサイドウォールとして形成した後、仮の材料をエッチングにより取り去る事により同様な構造を実現できる。

【0019】以上本発明によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を脱却しない範囲で種々変更可能であることはいふまでもない。また、上述の各実施例のMIS電界効果トランジスタを製造するにあたっては、例示の製造プロセスに限ること無く、他の種々のプロセスが使用可能である。

【0020】以上の説明では主として本発明者によってなされた発明をその背景に適用した場合について説明したが、この発明はそれに限定されるものではなく、MIS電界効果トランジスタ一般に利用することができる。

【0021】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記

のとおりである。即ち、本発明の半導体装置は、そのMIS電界効果トランジスタが、ゲート絶縁膜の膜厚がゲート下で変化するように形成されるので、見かけ上しきい値電圧 V_{th} が異なる複数のMOSトランジスタが形成されたようにふるまい、ピンチオフが発生しやすい領域も複数箇所に分散され、従来ドレイン端一箇所に集中して発生していたホットキャリアの発生が分散されると共に軽減されて、初期特性の劣化が抑制される。又、ゲート絶縁膜のソースの膜厚を従来通りの膜厚に維持できるので、リーク電流の発生やトランジスタの寄生容量の増大が生じることもない。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るMIS電界効果トランジスタの構造を示す断面図である。

【図2】本発明のMIS電界効果トランジスタのソース・ドレイン間に所定の電圧が印加されたときのMIS電界効果トランジスタの動作状態を示す断面図である。

【図3】第1実施例のMIS電界効果トランジスタ1の製造工程のうち、ゲート絶縁膜9にマスク材料10をのせ、パターンニングした状態を示す断面図である。

【図4】図3に示す半導体素子に熱酸化処理を施し、階段状のゲート酸化膜を形成した状態を示す断面図である。

【図5】図4に示す半導体素子のマスク材料を除去後ゲート電極を形成し、ソース・ドレインに不純物を導入してMIS電界効果トランジスタが完成した状態を示す断面図である。

【図6】本発明の第1実施例のゲート酸化膜を4段階に形成した第1の変形例を示す断面図である。

【図7】ゲート絶縁膜をソース側からドレイン側に向かって徐々に薄く形成した第2の変形例を示す断面図である。

【図8】本発明の第2の実施例のMIS電界効果トランジスタ13の断面図である。

【図9】第2の実施例のMIS電界効果トランジスタ13の製造工程のうち、半導体基板に厚いゲート絶縁膜を形成し、この上に形成されたゲート電極本体をマスクとしてエッチングを行って薄いゲート絶縁膜を形成した状態を示す断面図である。

【図10】図9に示す構造の半導体素子にサイドウォール材料を堆積し、異方性エッチングを行って導電性のサイドウォール構造を形成した状態を示す断面図である。

【図11】本発明の第3の実施例のMIS電界効果トランジスタ17の断面図である。

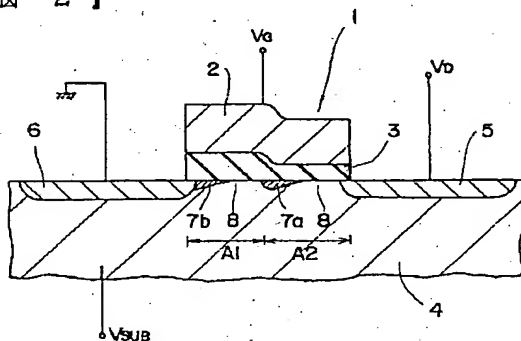
【図12】第3実施例のMIS電界効果トランジスタ17の製造工程のうち、半導体基板に薄いゲート絶縁膜を形成し、この上に形成されたゲート電極本体をマスクとして熱処理を行って厚いゲート絶縁膜を形成した状態を示す断面図である。

【図13】図12の半導体素子に、導電性サイドウォール

1, 13, 17 MIS電界効果トランジスタ
2, 14, 20 ゲート電極

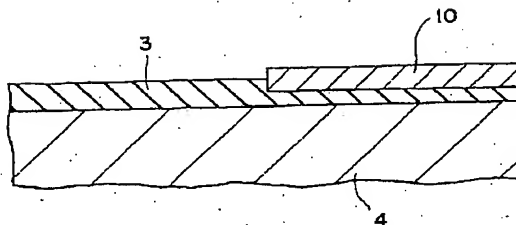
【图 2】

【 2 】



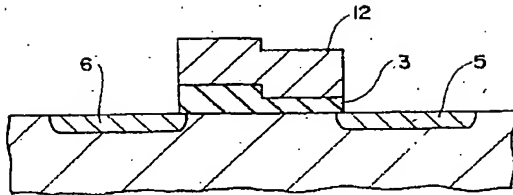
【图 4】

【 4 】



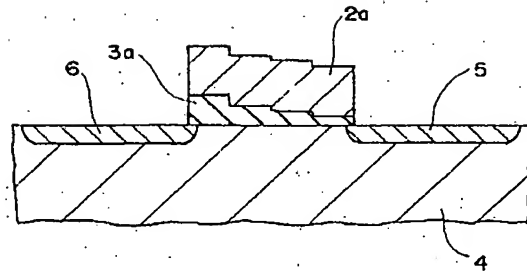
【図 5】

【図 5】



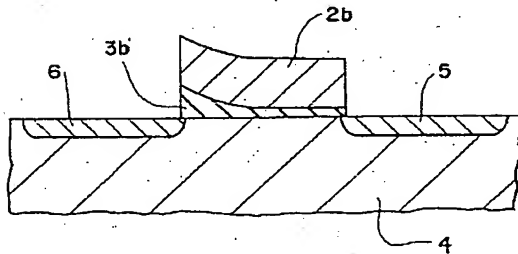
【図 6】

【図 6】



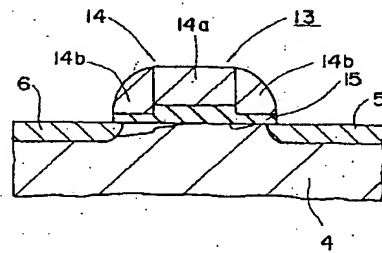
【図 7】

【図 7】



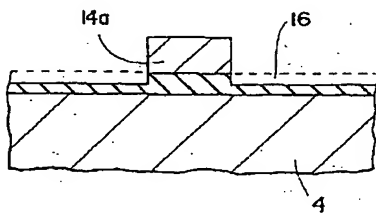
【図 8】

【図 8】



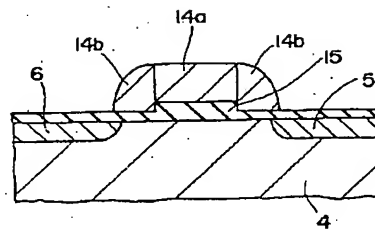
【図 9】

【図 9】



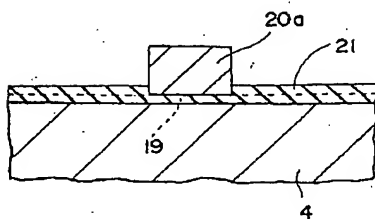
【図 10】

【図 10】



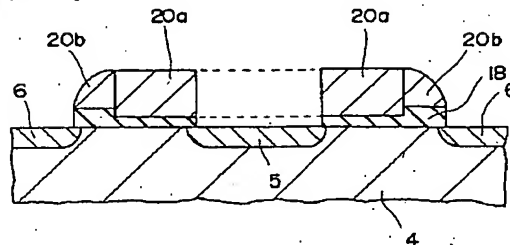
【図 12】

【図 12】



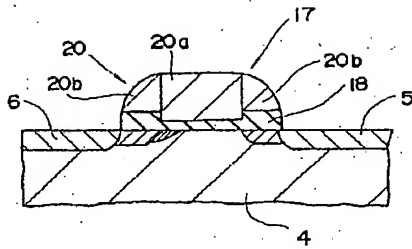
【図 15】

【図 15】



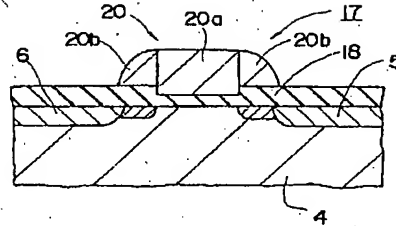
【図11】

【図11】



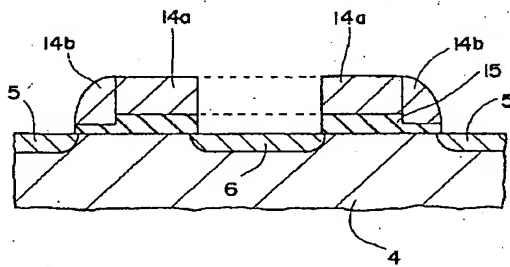
【図13】

【図13】



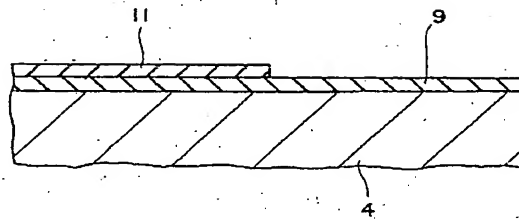
【図14】

【図14】



【図16】

【図16】



[JP,05-198794,A]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The MIS mold field-effect transistor characterized by forming the thickness of gate dielectric film so that it may change between source drains.

[Claim 2] The MIS mold field-effect transistor according to claim 1 characterized by being formed so that the thickness of gate dielectric film may become thin at a drain edge at least.

[Claim 3] The MIS mold field-effect transistor according to claim 1 characterized by being formed so that the thickness of gate dielectric film may become thick at a source edge at least.

[Claim 4] The MIS mold field-effect transistor according to claim 1 characterized by forming a conductive sidewall in a gate electrode and making it the thickness of gate dielectric film change to it between source drains.

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the technique of applying to an MIS mold field-effect transistor (MISFET) component, and planning the improvement in dependability of gate length's short MIS mold field-effect transistor with remarkable performance degradation and the life extension especially by the hot carrier about an effective technique.

[0002]

[Description of the Prior Art] Ultra high-speed digital device series "a ultra high-speed MOS device" (Baifukan) As shown in the 259th page and the hot carrier control circuit of drawing 6 .34, by resistance division of the electrical potential difference by insertion of a dummy component, the electrical potential difference concerning the MIS field-effect transistor of a simple substance was reduced, and the hot carrier is controlled. However, in this circuitry, the maximum of a drain current will also be

restricted and rapidity falls victim.

[0003]

[Problem(s) to be Solved by the Invention] With the MIS field-effect transistor component made submicron, since gate length (channel length) is short, the field where field strength becomes large near the drain diffusion layer is generated. Thus, the carrier which passed through the field where field strength is large obtains high energy, and generates the so-called hot carrier. Therefore, initial properties, such as a fall of the mutual conductance of an MIS field-effect transistor and fluctuation of a threshold electrical potential difference, are degraded, and the fall of dependability is caused (it indicates to the LSI handbook 66 page 67 page of the Ohm-Sha issue for example).

[0004] It aims at offering the MIS field-effect transistor component which this invention was made in view of this situation, controlled degradation by the hot carrier, and made dependability high. It will become clear [about the other purposes and the new description] from description and the accompanying drawing of this specification along [said] this invention.

[0005]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is explained among invention indicated in this application. That is, since the MIS field-effect transistor of this invention is formed so that the thickness of gate dielectric film may change between gate drains, the ease of the ability to do of an inversion layer changes.

[0006]

[Function] In an MIS field-effect transistor, since it is formed so that the thickness of gate dielectric film may change under the gate, as two or more transistors from which the threshold electrical potential difference V_{th} differs were formed seemingly, it acts. Therefore, the threshold electrical potential difference V_{th1} in the thick part of thickness becomes high, the field which a pinch-off tends to generate at the time of gate voltage impression is also divided into two or more places, and generating of the hot carrier which concentrated on one place of a drain edge conventionally, and had been generated is reduced.

[0007]

[Example] (The 1st example) The 1st example of this invention is hereafter explained to a detail with reference to drawing 1 and drawing 2. Drawing 1 is the sectional view showing the structure of the MIS field-effect transistor component 1 concerning this invention. Drawing 2 is the sectional view showing the operating state of MISFET when a predetermined electrical potential difference is impressed between the source drains

of this MIS field-effect transistor component 1. As shown in drawing 1, the gate dielectric film 3 under the gate electrode 2 is divided into two fields of the thin (T2) field A2 by the side of the thick (T1) field A1 by the side of the source field 6, and the drain field 5, and the MIS field-effect transistor component 1 of this invention is formed. Thus, by thickening thickness T1 by the side of the source field 6 to the thickness T2 by the side of the drain field 5, a difference is made to gate field strength and it comes to have the property which cannot be made easily by the source side at a drain side that an inversion layer (channel) 7 tends (drawing 2) to be made.

[0008] If a predetermined electrical potential difference is impressed between source drains and gate applied voltage is raised as shown in drawing 2, an inversion layer (channel) will be first formed in the increase of the gate field strength under the thin field of gate dielectric film 3 (A2), and A2 field (7a of drawing 2). Furthermore, a rise of gate applied voltage forms an inversion layer (channel) also in the bottom of the thick field of gate dielectric film 3 (A1) (7b of drawing 2). For this reason, with the MIS field-effect transistor component of structure, it receives that a pinch-off occurs only near a drain, and the field 8 which a pinch-off tends to generate is usually divided. Thus, if the field which a pinch-off may generate is distributed by two or more [under gate dielectric film 3] (two places), the electrical-potential-difference inclination near the drain will be mitigated, generating of a hot carrier will be controlled, degradation from the initial property of an MIS field-effect transistor component and the fall of endurance will be suppressed, and dependability will also increase.

[0009] Since it is formed so that the thickness T of gate dielectric film 3 may change under the gate (T1, T2), the thin part A2 of thickness differs in the perpendicular field strength at the time of electrical-potential-difference impression from the thick part A1, and as explained in full detail above, the MIS field-effect transistor 1 concerning this 1st example is seemingly served, as two or more transistors from which the threshold electrical potential difference V_{th} differs (V_{th1} , V_{th2}) were formed. Therefore, by thickening thickness by the side of the source 6, the threshold electrical potential difference V_{th1} in this thick thickness part A1 becomes high, and a channel becomes is hard to be formed in this part. Therefore, the field which a pinch-off tends to generate is also distributed by two or more places, hot carrier generating which concentrated on one place conventionally for this reason, and had occurred is distributed, and degradation of an initial property is prevented. Moreover, since gate dielectric film 3 can maintain thickness to the thickness T1 as usual by the source 6 side, neither the increment in leakage current nor increase of the parasitic capacitance of a transistor produces it.

[0010] Drawing 3 to drawing 5 is semiconductor device drawing of longitudinal section

to show the example of a production process of the MIS field-effect transistor shown in drawing 1. In forming the above-mentioned stair-like gate dielectric film 3, the gate dielectric film 9 of a thin part is formed by oxidation of a silicon semiconductor substrate on ** semiconductor substrate 4. Besides the mask ingredients 10, such as silicon nitride (Si_3N_4), are deposited, pattern NINGU is performed, and the semiconductor device cross-section structure shown in drawing 3 is acquired.

** If a silicon substrate is oxidized again, the oxide film of the part which is not covered with a mask ingredient will become thick, and the semiconductor device structure shown in drawing 4 in which gate dielectric film with a level difference was formed will be acquired.

** After that, remove the mask ingredient 10 by etching etc. and deposit the gate ingredients 12, such as polycrystalline silicon.

Patterning of a gate ingredient is performed, a gate electrode is formed, the impurity for a source-drain region is introduced, and the MIS field-effect transistor component structure shown in drawing 5 is acquired.

[0011] Moreover, as shown in drawing 16, stair-like gate dielectric film can be formed also by depositing an insulating material 11 and performing pattern NINGU after forming thin gate dielectric film 9 on the semiconductor substrate 4.

[0012] Drawing 6 and drawing 7 show the 1st and 2nd modifications of the MIS field-effect transistor concerning the 1st example shown in drawing 1, respectively. Among these, the point (this gate electrode 2a becomes stair-like [that inferior surface of tongue] at least) which drawing 6 formed two steps of gate dielectric film 3 formed stair-like in gate-dielectric-film 3a [being stair-like (the example of illustration four steps)] which has a still finer level difference in the example of drawing 1, and formed the gate electrode on this differs from the 1st example of the above. By changing the thickness of gate-dielectric-film 3a to a multistage story like this modification, degradation of the initial property of a transistor is further suppressed from the 1st example. In addition, what is necessary is to repeat the process shown in drawing 3 and drawing 4 in order to use thickness of gate dielectric film as multistage, and just to perform it.

[0013] Drawing 7 is the sectional view of the semiconductor device concerning the 2nd modification of the 1st example. If it is in the semiconductor device of this 2nd modification, it is constituted so that the thickness of gate oxide 3b under gate-electrode 2b may become thin gradually toward the source field 6 side to the drain field 5 side. Thus, by changing the thickness of gate-dielectric-film 3b continuously, in the 1st example (drawing 1) or the 1st modification (drawing 6), the field which hot carrier

generating concentrates is lost substantially, and degradation prevention of the initial property of the MIS field-effect transistor concerned is achieved. In addition, what is necessary is just to use the reflow of the BAZU beak at the time of thermal oxidation of a silicon substrate, or a low melting point ingredient, in order to form such gate dielectric film.

[0014] (The 2nd example) Drawing 8 is the sectional view of the MIS field-effect transistor 13 of the 2nd example of this invention. In order to realize the 1st example, the sidewall formation technique of self-alignment is used for the MIS field-effect transistor 13 shown in this 2nd example in order to form the level difference of gate dielectric film. That is, the gate electrode 14 is constituted from original body of gate electrode 14a, and conductive gate sidewall section 14b in which it is prepared in this both-sides side, it forms so that the lower limit side of said sidewall 14b may project below the lower limit side of body of gate electrode 14a, and he is trying to obtain the gate dielectric film 15 which has a level difference in this MIS field-effect transistor 13. The same effectiveness as the 1st example is expectable by considering the MIS field-effect transistor 13 as such a configuration. Since the process to which gate-dielectric-film thickness is changed under a gate electrode is unnecessary, application to an MIS field-effect transistor with short gate length is easy for such an MIS field-effect transistor, and is effective by high integration of an integrated circuit, and improvement in the speed.

[0015] Drawing 9 and drawing 10 are the **** Figs. showing a process until it forms conductive sidewall 14b in the side face of body 14a which makes an original gate electrode among the production processes of the MIS field-effect transistor 13 shown in the 2nd example of the above and forms the new gate electrode 14. The above-mentioned gate electrode 14 is formed in the following procedures.

** First form gate dielectric film [being thick (equivalent to the thickness of the thick insulator layer of the body 14a bottom)] 16 in the semi-conductor substrate 4, give back pattern NINGU which made the gate ingredient deposit on this, and form gate electrode 14a. Furthermore, gate dielectric film 16 is etched by using this gate electrode 14a as a mask, and the semiconductor device structure shown in drawing 9 is acquired.

** Make a conductive layer (for example, polish recon layer) deposit on the whole surface of the semiconductor device of the structure shown in drawing 9 , perform anisotropic etching to this from the upper part, and acquire conductive sidewall (14b) structure. Thus, since constituted sidewall 14b is conductivity, it collaborates with gate electrode 14a, and it functions as a new gate electrode 14. The MIS field-effect transistor component structure which introduces the impurity to a source field and a

drain field into this, and is shown in drawing 10 is acquired.

[0016] (The 3rd example) It shows the cross section of the MIS field-effect transistor 17 of the 3rd example which thickened the description by the side of the source field 6 of the gate dielectric film 3 of the 1st example (configuration), i.e., gate dielectric film, as compared with the conventional object, drawing 11 shortening gate length and attaining high integration. By the source field 6 side, since the thickness of gate dielectric film 18 is thick, as for this MIS field-effect transistor, reduction of the parasitic capacitance of a gate electrode is achieved by generating of leakage current, and the list.

[0017] The MIS field-effect transistor 17 of this configuration is formed in the following procedures. ** Form the thin insulator layer (for example, thermal oxidation film of silicon) 19 in the semi-conductor substrate 4 first, and deposit gate electrode materials, such as a refractory metal and silicide, on this. Pattern NINGU of a gate ingredient is performed and gate electrode 20a is formed. Next, the structure which thickens the insulator layer of parts other than gate electrode 20a, and is shown in drawing 12 (only thickness of the body of gate electrode 20a bottom is made thin) is acquired by performing thermal oxidation of a silicon substrate, or deposition of an insulating material.

** Next, form conductive sidewall 20b like drawing 10, perform impurity installation of a source drain field and form the MIS field-effect transistor 17 shown in drawing 13. Thus, as for the formed MIS field-effect transistor 17, the configuration of gate dielectric film 18, i.e., the lower limit side of the gate electrode 20, becomes stair-like. Since the thickness of gate dielectric film 18 is thick by the source field 6 side especially, the parasitic capacitance of a transistor can be stopped small and generating of the leakage current by the tunnel effect can also be prevented further. Moreover, the fall of a transistor current etc. does not arise by introducing an impurity only into the drain side of a gate electrode by in plastic ** beforehand in a phase until it acquires the structure of drawing 12.

[0018] The modification of the 2nd example which shows drawing 14 to drawing 8, and drawing 15 are the modifications of the 3rd example shown in drawing 11. Pattern NINGU of the core of a gate electrode is carried out after sidewall formation of each creation process, and impurity installation is performed and it is considering as two MIS field-effect transistors. In drawing 15, a core is the source at a drain and drawing 14. Moreover, after forming the temporary ingredient in the core and forming the body of a gate electrode, and its sidewall as a sidewall of the duplex to a temporary ingredient instead of carrying out pattern NINGU of the gate electrode core, the same structure is realizable by removing a temporary ingredient by etching.

[0019] Although invention made by this invention above was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the above-mentioned example, and does not free itself from the summary. Moreover, other various processes are usable, without restricting to the manufacture process of instantiation in manufacturing the MIS field-effect transistor of each above-mentioned example.

[0020] Although the above explanation explained the case where invention mainly made by this invention person was applied to that background, this invention is not limited to it and can be used for a general MIS field-effect transistor.

[0021]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly. That is, the field which a pinch-off tends to generate is also distributed by two or more places, the semiconductor device of this invention is served as two or more MOS transistors from which the threshold electrical potential difference V_{th} differs seemingly were formed, since the MIS field-effect transistor was formed so that the thickness of gate dielectric film might change under the gate, while generating of the hot carrier which concentrated on one drain edge conventionally and had been generated is distributed, it is mitigated, and degradation of an initial property is controlled. Moreover, since the thickness of the source of gate dielectric film is maintainable to thickness as usual, neither generating of leakage current nor increase of the parasitic capacitance of a transistor arises.

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the structure of the MIS field-effect transistor concerning the 1st example of this invention.

[Drawing 2] It is the sectional view showing the operating state of an MIS field-effect transistor when a predetermined electrical potential difference is impressed between the source drains of the MIS field-effect transistor of this invention.

[Drawing 3] It is the sectional view showing the condition of having carried and carried out pattern NINGU of the mask ingredient 10 in gate dielectric film 9 among the production processes of the MIS field-effect transistor 1 of the 1st example.

[Drawing 4] It is the sectional view showing the condition of having performed thermal oxidation processing to the semiconductor device shown in drawing 3, and having formed stair-like gate oxide.

[Drawing 5] It is the **** Fig. showing the condition that formed the gate electrode after removal for the mask ingredient of the semiconductor device shown in drawing 4 , introduced the impurity into the source drain, and the MIS field-effect transistor was completed.

[Drawing 6] It is the **** Fig. showing the 1st modification in which the gate oxide of the 1st example of this invention was formed to four steps.

[Drawing 7] It is the sectional view showing the 2nd modification which formed gate dielectric film thinly gradually toward the drain side from the source side.

[Drawing 8] It is the sectional view of the MIS field-effect transistor 13 of the 2nd example of this invention.

[Drawing 9] It is the sectional view showing the condition of having etched by having used as the mask the body of a gate electrode which formed gate dielectric film thick to a semi-conductor substrate among the production processes of the MIS field-effect transistor 13 of the 2nd example, and was formed on this, and having formed thin gate dielectric film.

[Drawing 10] It is the sectional view showing the condition of having deposited the sidewall ingredient on the semiconductor device of the structure shown in drawing 9 , having performed anisotropic etching, and having formed conductive sidewall structure.

[Drawing 11] It is the sectional view of the MIS field-effect transistor 17 of the 3rd example of this invention.

[Drawing 12] It is the sectional view showing the condition of having heat-treated by having used as the mask the body of a gate electrode which formed gate dielectric film thin to a semi-conductor substrate among the production processes of the MIS field-effect transistor 17 of the 3rd example, and was formed on this, and having formed thick gate dielectric film.

[Drawing 13] It is the sectional view showing the condition of having formed the conductive sidewall in the semiconductor device of drawing 12 , and having completed the MIS field-effect transistor to it.

[Drawing 14] It is the sectional view showing the modification which separated the gate electrode of drawing 8 and formed two MIS field-effect transistors.

[Drawing 15] It is the sectional view showing the modification which separated the gate electrode of drawing 11 and formed two MIS field-effect transistors.

[Drawing 16] It is the sectional view showing the modification of the formation approach of gate dielectric film other than drawing 4 concerning the 1st example.

[Description of Notations]

1, 13, 17 MIS field-effect transistor

2, 14, 20 Gate electrode
3, 15, 18 Gate dielectric film
4 Semi-conductor Substrate
5 Drain Field
6 Source Field
7 Inversion Layer (Channel)
8 Pinch-off Field
9 19 Thin gate dielectric film
10 Mask Ingredient
11, 16, 21 Thick gate dielectric film
T1 Thick gate oxide
T2 Thin gate oxide
A1 Thick field of gate dielectric film
A2 Thin field of gate dielectric film

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.